



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04239917 A**(43) Date of publication of application: **27 . 08 . 92**

(51) Int. Cl

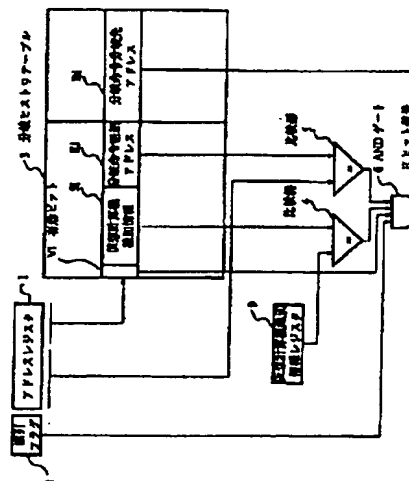
**G06F 9/38**  
**G06F 9/46**
(21) Application number: **03006754**(71) Applicant: **NEC CORP**(22) Date of filing: **24 . 01 . 91**(72) Inventor: **SAKAI NORIAKI**
**(54) INFORMATION PROCESSOR WITH BRANCH**  
**HISTORY TABLE**

COPYRIGHT: (C)1992,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To perform the efficient prefetch processing of the branch destination of a branch instruction by preventing output of a forecast address due to erroneous hit information.

**CONSTITUTION:** A virtual computer discriminating information register 7 holds virtual computer discriminating information of virtual computers assigned at present. A branch history table 3 has plural entries each of which consists of virtual computer discriminating information, a branch instruction storage address, and a branch instruction branch destination address. The branch history table 3 is read out at the time of indexing with an index flag 2 on. When the index address of an address register 1 coincides with the read branch instruction storage address and virtual computer discriminating information of a virtual computer discriminating information register 7 coincides with read virtual computer discriminating information, hit information including the read branch instruction branch destination address is outputted.





## 【特許請求の範囲】

【請求項1】 (A) 仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持する仮想計算機識別情報レジスタ、

(B) 有効ビットと仮想計算機識別情報と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数個のエントリを有する分岐ヒストリテーブル、を備えることにより、

(C) 前記分岐ヒストリテーブルの索引に際して、前記分岐ヒストリテーブルの選択されたエントリに記憶された有効ビットがある場合にだけ、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記仮想計算機識別情報レジスタに保持する仮想計算機識別情報が、前記分岐ヒストリテーブルの選択されたエントリに記憶された仮想計算機識別情報に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことを特徴とする分岐ヒストリテーブルを有する情報処理装置。

【請求項2】 (A) 仮想計算機システムの仮想計算機識別情報レジスタに、現在割付けられている仮想計算機を示す仮想計算機識別情報を保持し、

(B) 分岐ヒストリテーブルには、仮想計算機識別情報と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数個のエントリを有し、

(C) 前記分岐ヒストリテーブルの索引に際して、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記仮想計算機識別情報レジスタに保持する仮想計算機識別情報が、前記分岐ヒストリテーブルの選択されたエントリに記憶された仮想計算機識別情報に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことを特徴とする分岐ヒストリテーブルを有する情報処理装置。

【請求項3】 (A) 仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持する仮想計算機識別情報レジスタ、

(B) 前記仮想計算機識別情報レジスタに保持された仮想計算機識別情報を含む複数個の仮想計算機識別情報を記憶する仮想計算機識別情報スタック、

(C) 前記仮想計算機識別情報レジスタに保持された仮想計算機識別情報が記憶された前記仮想計算機識別情報スタックのスタックエントリ番号を保持するスタックエントリ番号レジスタ、

(D) 前記スタックエントリ番号レジスタのスタックエントリ番号と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数個のエントリを記憶する分岐ヒストリテーブル、を備えることにより、

(E) 前記分岐ヒストリテーブルの索引に際して、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記スタックエントリ番号レジスタに保持するスタックエントリ番号が、前記分岐ヒストリテーブルの選択されたエントリに記憶されたスタックエントリ番号に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことを特徴とする分岐ヒストリテーブルを有する情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は分岐ヒストリテーブルを有する情報処理装置に関し、特に仮想計算機システムにおける分岐命令格納アドレスと分岐命令分岐先アドレスとの対の履歴を記憶する分岐ヒストリテーブルを有する情報処理装置に関する。

【0002】

【従来の技術】 従来の分岐ヒストリテーブルを有する情報処理装置は、分岐命令を高速に処理するために、分岐命令が格納されていたアドレスとその分岐命令の分岐先のアドレスとの対の履歴を記憶する分岐ヒストリテーブルを備え、命令の読出し時に索引して、分岐先のアドレスの予測値を出力している。

【0003】 なお、従来の分岐ヒストリテーブルの参考文献としては、「Branch prediction strategies and Branch Target Buffer Design」, J. K. F. Lee, A. J. Smith IEEE COMPUTER 1984 Jan. がある。

【0004】

【発明が解決しようとする課題】 上述した従来の分岐ヒストリテーブルを有する情報処理装置は、分岐命令が格納されていたアドレスとその分岐命令の分岐先のアドレスとの対の履歴を記憶する分岐ヒストリテーブルを備え、命令の読出し時に索引して、分岐先のアドレスの予測値を出力しているけれども、仮想計算機システムでは、異なるオペレーティングシステムの間で同じアドレス空間を使用するので、あるオペレーティングシステムの動作中に登録された分岐ヒストリテーブルのエントリに対して、別のオペレーティングの動作中に同一のエントリにヒットして、誤った予測アドレスを出力することにより、分岐命令の処理に余分のオーバーヘッドを発生するという欠点を有している。

【0005】 本発明の目的は、分岐ヒストリテーブルに、分岐命令が格納されていたアドレスとその分岐命令の分岐先のアドレスとの対の履歴に加えて、動作中の仮想計算機の識別情報の履歴または動作中の仮想計算機の識別情報が格納されているスタックのエントリ番号の履歴を記憶して、索引時に動作中の仮想計算機の識別情報

または動作中の仮想計算機の識別情報が格納されているスタックのエントリ番号と一致したときにだけ、分岐命令の分岐先のアドレスを含むヒット情報を出力することにより、誤ったヒット情報による予測アドレスの出力を防止して、分岐命令の分岐先に対する効率の良い先取り処理を実施できる分岐ヒストリテーブルを有する情報処理装置を提供することにある。

#### 【0006】

【課題を解決するための手段】第1の発明の分岐ヒストリテーブルを有する情報処理装置は、

(A) 仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持する仮想計算機識別情報レジスタ、

(B) 有効ビットと仮想計算機識別情報と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数のエントリを有する分岐ヒストリテーブル、を備えることにより、

(C) 前記分岐ヒストリテーブルの索引に際して、前記分岐ヒストリテーブルの選択されたエントリに記憶された有効ビットがある場合にだけ、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記仮想計算機識別情報レジスタに保持する仮想計算機識別情報が、前記分岐ヒストリテーブルの選択されたエントリに記憶された仮想計算機識別情報に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことにより構成されている。

【0007】また、第2の発明の分岐ヒストリテーブルを有する情報処理装置は、

(A) 仮想計算機システムの仮想計算機識別情報レジスタに、現在割付けられている仮想計算機を示す仮想計算機識別情報を保持し、

(B) 分岐ヒストリテーブルには、仮想計算機識別情報と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数のエントリを有し、

(C) 前記分岐ヒストリテーブルの索引に際して、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記仮想計算機識別情報レジスタに保持する仮想計算機識別情報が、前記分岐ヒストリテーブルの選択されたエントリに記憶された仮想計算機識別情報に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことにより構成されている。

【0008】さらに、第3の発明の分岐ヒストリテーブルを有する情報処理装置は、

(A) 仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持する仮想計算機

識別情報レジスタ、

(B) 前記仮想計算機識別情報レジスタに保持された仮想計算機識別情報を含む複数の仮想計算機識別情報を記憶する仮想計算機識別情報スタック、

(C) 前記仮想計算機識別情報レジスタに保持された仮想計算機識別情報が記憶された前記仮想計算機識別情報スタックのスタックエントリ番号を保持するスタックエントリ番号レジスタ、

(D) 前記スタックエントリ番号レジスタのスタックエントリ番号と分岐命令格納アドレスと分岐命令分岐先アドレスとを含む複数のエントリを記憶する分岐ヒストリテーブル、を備えることにより、

(E) 前記分岐ヒストリテーブルの索引に際して、指定された索引アドレスが、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令格納アドレスに一致するとともに、前記スタックエントリ番号レジスタに保持するスタックエントリ番号が、前記分岐ヒストリテーブルの選択されたエントリに記憶されたスタックエントリ番号に一致したときに、前記分岐ヒストリテーブルの選択されたエントリに記憶された分岐命令分岐先アドレスを含むヒット情報を出力する、ことにより構成されている。

#### 【0009】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0010】図1は第1の発明の分岐ヒストリテーブルを有する情報処理装置の一実施例を示すブロック図である。

【0011】図1に示す仮想計算機識別情報レジスタ7は、仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持している。

【0012】また、分岐ヒストリテーブル3は、有効ビットV1と仮想計算機識別情報S1と分岐命令格納アドレスK1と分岐命令分岐先アドレスB1とを含む多数のエントリを有し、これらの履歴を記憶している。

【0013】そこで、分岐ヒストリテーブル3の索引に際して、アドレスレジスタ1から索引するアドレスが与えられ、索引フラグ2がオンになるので、アドレスレジスタ1の下位ビットにより選択されたエントリiが読出される。

【0014】そして、索引フラグ2がオンにより“1”がANDゲート6に送られるとともに、分岐ヒストリテーブル3の選択されたエントリiに記憶された有効ビットV1がオンである場合にだけ“1”がANDゲート6に送られる。

【0015】また、比較器4で、仮想計算機識別情報レジスタ7に保持された仮想計算機識別情報が、分岐ヒストリテーブル3の選択されたエントリiに記憶された仮想計算機識別情報S1に一致したときに、“1”がANDゲート6に送られる。

【0016】さらに、比較器5で、アドレスレジスタ1の上位ビットにより指定された索引アドレスが、分岐ヒストリテーブル3の選択されたエントリiに記憶された分岐命令格納アドレスKiに一致したときに、“1”がANDゲート6に送られる。

【0017】この結果で、ANDゲート6の四つの入力条件が“1”に揃ったときにのみ、ANDゲート6は、ヒット信号Hを出力している。そして、ヒット信号Hとともに、分岐ヒストリテーブル3の選択されたエントリiに記憶された分岐命令分岐先アドレスBiが、ヒット情報として出力されている。

【0018】図2は第3の発明の分岐ヒストリテーブルを有する情報処理装置の一実施例を示すブロック図である。

【0019】図2に示す仮想計算機識別情報レジスタ17は、仮想計算機システムで現在割付けられている仮想計算機を示す仮想計算機識別情報を保持している。

【0020】一方、仮想計算機識別情報スタック18は、仮想計算機識別情報レジスタ17に保持された仮想計算機識別情報を含む複数の仮想計算機識別情報を記憶している。

【0021】また、スタックエントリ番号レジスタ19は、仮想計算機識別情報レジスタ17に保持された仮想計算機識別情報が記憶された仮想計算機識別情報スタック18のスタックエントリ番号を保持している。

【0022】他方、分岐ヒストリテーブル13は、有効ビットViとスタックエントリ信号Eiと分岐命令格納アドレスKiと分岐命令分岐先アドレスBiとを含む多数のエントリを有し、これらの履歴を記憶している。

【0023】そこで、分岐ヒストリテーブル13の索引に際して、アドレスレジスタ11から索引するアドレスが与えられ、索引フラグ12がオンになるので、アドレスレジスタ11の下位ビットにより選択されたエントリiが読出される。

【0024】そして、索引フラグ12がオンにより“1”がANDゲート16に送られるとともに、分岐ヒストリテーブル13の選択されたエントリiに記憶された有効ビットViがオンである場合にだけ“1”がANDゲート16に送られる。

【0025】また、比較器14で、スタックエントリ番号レジスタ19に保持されたスタックエントリ番号が、分岐ヒストリテーブル13の選択されたエントリiに記憶されたスタックエントリ信号Eiに一致したときに、“1”がANDゲート16に送られる。

【0026】さらに、比較器15で、アドレスレジスタ11の上位ビットにより指定された索引アドレスが、分岐ヒストリテーブル13の選択されたエントリiに記憶

された分岐命令格納アドレスKiに一致したときに、“1”がANDゲート16に送られる。

【0027】この結果、ANDゲート16の四つの入力条件が“1”に揃ったときにのみ、ANDゲート16は、ヒット信号Hを出力している。そして、ヒット信号Hとともに、分岐ヒストリテーブル13の選択されたエントリiに記憶された分岐命令分岐先アドレスBiが、ヒット情報として出力されている。

【0028】

10 【発明の効果】以上説明したように、本発明の分岐ヒストリテーブルを有する情報処理装置は、分岐ヒストリテーブルに、分岐命令が格納されていたアドレスとその分岐命令の分岐先のアドレスとの対の履歴に加えて、動作中の仮想計算機の識別情報の履歴または動作中の仮想計算機の識別情報が格納されているスタックのエントリ番号の履歴を記憶して、索引時に動作中の仮想計算機の識別情報または動作中の仮想計算機の識別情報が格納されているスタックのエントリ番号と一致したときにだけ、分岐命令の分岐先のアドレスを含むヒット情報を出力することにより、誤ったヒット情報による予測アドレスの出力を防止して、分岐命令の分岐先に対する効率の良い先取り処理を実施できるという効果を有している。

【0029】なお、特に第3の発明の分岐ヒストリテーブルを有する情報処理装置は、スタックのエントリ番号を使用することにより、第1の発明または第2の発明より、分岐ヒストリテーブルの大きさを節約して、高価な高速のメモリ素子の使用数を減らすことができるという効果を有している。

【図面の簡単な説明】

30 【図1】第1の発明の分岐ヒストリテーブルを有する情報処理装置の一実施例を示すブロック図である。

【図2】第3の発明の分岐ヒストリテーブルを有する情報処理装置の一実施例を示すブロック図である。

【符号の説明】

- 1. 11 アドレスレジスタ
- 2. 12 索引フラグ
- 3. 13 分岐ヒストリテーブル
- 4. 5. 14. 15 比較器
- 6. 16 ANDゲート
- 7. 17 仮想計算機識別情報レジスタ
- 18 仮想計算機識別情報スタック
- 19 スタックエントリ番号レジスタ
- Bi 分岐命令分岐先アドレス
- Ei スタックエントリ信号
- H ヒット信号
- Ki 分岐命令格納アドレス
- Si 仮想計算機識別情報

Figure 1 is a block diagram of a memory access control circuit. It includes the following components and connections:

- 命令フラグ (Command Flag) (2)**: Connected to the **分岐ヒストリテーブル (Branch History Table) (3)** and the **ANDゲート (AND Gate) (6)**.
- アドレスレジスタ (Address Register) (1)**: Connected to the **分岐ヒストリテーブル (3)** and the **比較器 (Comparator) (4)**.
- 分岐ヒストリテーブル (Branch History Table) (3)**: A table with three columns: **分岐命令格納アドレス (Branch Command Storage Address)**, **分岐命令優先アドレス (Branch Command Priority Address)**, and **分岐命令ビット (Branch Command Bit)**. It is also connected to the **比較器 (4)** and the **ANDゲート (6)**.
- 命令実行履歴レジスタ (Command Execution History Register) (9)**: Connected to the **比較器 (4)** and the **ANDゲート (6)**.
- 比較器 (Comparator) (4)**: Compares the output of the **アドレスレジスタ (1)** with the output of the **命令実行履歴レジスタ (9)**. It has two outputs, **比較器 (4)** and **比較器 (5)**.
- ANDゲート (AND Gate) (6)**: Receives inputs from the **命令フラグ (2)**, the **比較器 (4)**, and the **比較器 (5)**. Its output is the **H ヒット信号 (H Hit Signal)**.

[illegible]